

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-353753

(43)Date of publication of application : 19.12.2000

(51)Int.Cl.

H01L 21/8234
H01L 27/088
H01L 21/8238
H01L 27/092
H01L 29/78

(21)Application number : 11-166710

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.06.1999

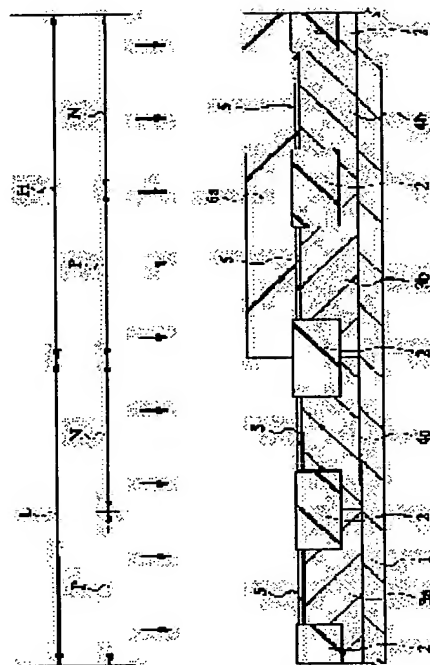
(72)Inventor : ICHINOSE KATSUHIKO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of manufacturing processes of a semiconductor device provided with elements using different power-supply voltages on a semiconductor substrate, by introducing a first impurity to the forming area of the first element using a relatively low power-supply voltage and the forming region of the second element, using a relatively high power-supply voltage.

SOLUTION: After a photoresist film 6a that covers a forming region H of a second element which is driven with a relatively power-supply voltage and exposes the forming region L of a first element which is driven with a relatively lower power-supply voltage is formed, an impurity, for example nitrogen, is only introduced to a semiconductor substrate 1 in the forming region L of the second element via an insulating film 5 by ion implantation, etc. Nitrogen is a substance the suppresses acceleration and diffusion of impurities in the semiconductor areas containing impurities at low concentrations of an NMIS and a PMIS, which operate with a low power-supply voltage. Since the nitrogen is implanted into the substrate 1 via the insulating film 5, the breakage of the substrate 1 caused by the introduction of the nitrogen can be suppressed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process which is the manufacture approach of a semiconductor device of having prepared the component from which supply voltage differs in the semi-conductor substrate, and forms gate dielectric film on the (a) aforementioned semi-conductor substrate, (b) The process which forms a gate electrode on said gate dielectric film, and the process which introduces the 1st impurity for forming the 1st semiconductor region of low high impurity concentration relatively [substrate / (c) aforementioned semi-conductor], (d) It has the process which introduces the 2nd impurity for forming the 2nd semiconductor region of high high impurity concentration relatively [substrate / said / semi-conductor]. Have the process which introduces the matter which controls the

enhanced diffusion of an impurity into the formation field of the 1st component which uses low supply voltage relatively before the aforementioned (c) process, and it sets at the aforementioned (c) process. The manufacture approach of the semiconductor device characterized by introducing said 1st impurity into said both formation fields of the formation field of the 1st component using low supply voltage relatively, and the 2nd component using high supply voltage relatively.

[Claim 2] The process which is the manufacture approach of a semiconductor device of having prepared the component from which supply voltage differs in the semi-conductor substrate, and forms gate dielectric film on the (a) aforementioned semi-conductor substrate, (b) The process which forms a gate electrode on said gate dielectric film, and the process which introduces the 1st impurity for forming the 1st semiconductor region of low high impurity concentration relatively [substrate / (c) aforementioned semi-conductor], (d) It has the process which introduces the 2nd impurity for forming the 2nd semiconductor region of high high impurity concentration relatively [substrate / said / semi-conductor]. Have the process which introduces nitrogen into the formation field of the 1st component which uses low supply voltage relatively before the

aforementioned (c) process, and it sets at the aforementioned (c) process. The manufacture approach of the semiconductor device characterized by introducing said 1st impurity into said both formation fields of the formation field of the 1st component using low supply voltage relatively, and the 2nd component using high supply voltage relatively.

[Claim 3] The manufacture approach of the semiconductor device characterized by having the process which performs acid nitriding treatment to the gate dielectric film in the manufacture approach of a semiconductor device according to claim 1 or 2 after forming said gate dielectric film.

[Claim 4] The process which is the manufacture approach of a semiconductor device of having prepared the component from which supply voltage differs in the semi-conductor substrate, and forms the 1st gate dielectric film on the (a) aforementioned semi-conductor substrate, (b) The formation field of the 1st component which uses low supply voltage relatively on said 1st gate dielectric film is exposed after the (aforementioned a) process. And the process which forms the 1st film so that the formation field of the 2nd component using high supply voltage may be covered relatively, (c) The process which introduces the matter which controls the enhanced diffusion of an impurity to said

formation field of the 1st component using low supply voltage relatively by using said 1st film as a mask, (d) In after the process which removes said 1st gate dielectric film by using said 1st film as a mask after the (aforementioned c) process, and the (e) (aforementioned d) process The process which forms the 2nd gate dielectric film thinner than said 1st gate dielectric film on the semi-conductor substrate in said formation field of the 1st component using low supply voltage relatively after removing said 1st film, (f) The process which forms a gate electrode on said 1st and 2nd gate dielectric film, (g) The process which introduces the 1st impurity for forming the 1st semiconductor region of low high impurity concentration relatively [substrate / said / semi-conductor], (h) Have the process which introduces the 2nd impurity for forming the 2nd semiconductor region of high high impurity concentration relatively [substrate / said / semi-conductor], and it sets at the aforementioned (g) process. The manufacture approach of the semiconductor device characterized by introducing said 1st impurity into said both formation fields of the formation field of the 1st component using low supply voltage relatively, and the 2nd component using high supply voltage relatively.

[Claim 5] The manufacture approach of the semiconductor device characterized

by having the process which performs acid nitriding treatment to the 1st and 2nd gate dielectric film in the manufacture approach of a semiconductor device according to claim 4 after forming said 1st and 2nd gate dielectric film.

[Claim 6] In the manufacture approach of a semiconductor device given in any 1 term of claims 1-5 Said 1st component using low supply voltage is the field-effect transistor of the 1st n channel mold, and the field-effect transistor of the 1st p channel mold relatively. Said 2nd component using high supply voltage is the field-effect transistor of the 2nd n channel mold, and the field-effect transistor of the 2nd p channel mold relatively. In the 1st impurity installation process for [said] forming the 1st semiconductor region of low high impurity concentration relatively (a) The formation field of the field-effect transistor of the 1st and 2nd n channel mold where supply voltage differs is exposed on said semi-conductor substrate. And after forming the 1st from which supply voltage differs, and the 2nd film with which the formation field of the field-effect transistor of the 2nd p channel mold is covered, The impurity installation process for [in the field-effect transistor of the 1st and 2nd n channel mold from which said supply voltage differs] forming the n-type-semiconductor field of low high

impurity concentration relatively, (b) The formation field of the field-effect transistor of the 1st and 2nd p channel mold where supply voltage differs is exposed on said semi-conductor substrate. And after forming the 1st from which supply voltage differs, and the 3rd film with which the formation field of the field-effect transistor of the 2nd n channel mold is covered, The manufacture approach of the semiconductor device characterized by having an impurity installation process for [in the field-effect transistor of the 1st and 2nd p channel mold from which said supply voltage differs] forming the p type semiconductor field of low high impurity concentration relatively.

[Claim 7] The manufacture approach of a semiconductor device that thickness of the gate dielectric film of said 1st component is characterized by being thinner than the thickness of the gate dielectric film of said 2nd component in the manufacture approach of a semiconductor device given in any 1 term of claims 1-6.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this

invention is applied to the manufacturing technology of the semiconductor device using different supply voltage about the manufacturing technology of a semiconductor device, and relates to an effective technique.

[0002]

[Description of the Prior Art] High integration and low-power-izing of a semiconductor device are advanced by making a field-effect transistor detailed and aiming at lowering of supply voltage. However, since the system and supply voltage incorporating the problem and semiconductor device by the noise of being easy to cause malfunction differ from each other when supply voltage is reduced, the problem of lacking the degree of freedom of systems, such as replacement of a semiconductor device, arises. Then, in the semiconductor device, using the field-effect transistor which secures the margin to a noise and operates with high supply voltage relatively because of communalization with a system, in order to realize a high speed, high accumulation, and a low power, the field-effect transistor which operates with low supply voltage relatively is used for the internal circuitry in the I/O circuit.

[0003] On the other hand, degradation of the component property resulting from a hot carrier effect poses a problem with detailed-izing of a field-effect transistor, or the formation of high current driving

force. A hot carrier effect is the phenomenon of degrading a component property, as a result of pouring in an electron and an electron hole with the high energy generated by the high electric field impressed to the interior of a component into gate dielectric film, and ****(ing) them or generating a carrier further by the ionization by collision. For example, impregnation, the electron by which **** was carried out change the threshold electrical potential difference and current gain of a field-effect transistor to gate dielectric film with time, or data-hold property capacity of a nonvolatile memory component is reduced. Moreover, the electron and electron hole pair generated in the ionization by collision serve as a substrate current, the breakdown voltage of a drain is reduced, or serves as a trigger current of a latch rise in the semiconductor device which has a CMIS (Complementary MIS) circuit, and destroys a component.

[0004] As a cure of such a hot carrier effect, it is relatively [section / of the drain field of a field-effect transistor / channel side edge] low, and if it is ****, there is the so-called LDD (Lightly Doped Drain) structure which forms the semiconductor region of low high impurity concentration with distribution of kana high impurity concentration. According to this structure, the electric field in the boundary part of a drain field

and a channel field can be made to be able to ease, and a hot carrier effect can be controlled.

[0005] In addition, about LDD structure, Nikkan Kogyo Shimbun, September 29, Showa 62 issuance, and "CMOS device handbook" p347-p350 have a publication, for example.

[0006]

[Problem(s) to be Solved by the Invention] However, when the process which forms the semiconductor region of the above-mentioned low high impurity concentration was adopted as the manufacture process of a semiconductor device with the component from which supply voltage differs, this invention person found out that the following technical problems occurred.

[0007] Namely, in a semiconductor device with the component from which the above supply voltage differs, when adopting the above-mentioned LDD structure, as for the semiconductor region of low high impurity concentration [in / in supply voltage / a high component], supply voltage needs to make the impurity distribution loose compared with it of a low component relatively. For this reason, in that semiconductor device, the introductory process of the impurity for forming the semiconductor region of the above-mentioned low high impurity concentration must be independently performed with the component of low supply voltage, and the component of

high supply voltage. For example, in the semiconductor device which has the field-effect transistor of an n channel mold, and the field-effect transistor of a p channel mold in each by the side of low supply voltage and high supply voltage, since a photolithography process and an impurity installation process will be repeated twice on the occasion of the introductory process of the impurity for forming the semiconductor region of low high impurity concentration to each of the field-effect transistor of an n channel mold, and the field-effect transistor of a p channel mold, it is [a total of four process] necessary. That is, after passing through photolithography processes, such as spreading of the photoresist film, exposure, development, washing, inspection, and BEKU, a series of down stream processing of removing and washing the photoresist film further through the introductory process of an impurity will be repeated 4 times. Therefore, the number of production processes of a semiconductor device increases, and the technical problem that a manufacturing cost becomes high occurs.

[0008] The object of this invention is to offer the technique in which the number of production processes of the semiconductor device which has prepared the component from which supply voltage differs in the semi-conductor substrate can be reduced.

[0009] Moreover, other objects of this invention are to offer the technique in which the manufacturing cost of the semiconductor device which has prepared the component from which supply voltage differs in the semi-conductor substrate can be reduced.

[0010] Furthermore, other objects of this invention are to offer the technique in which the improvement in the dependability of a semiconductor device which has prepared the component from which supply voltage differs in the semi-conductor substrate can be promoted.

[0011] The other objects and the new description will become clear from description and the accompanying drawing of this description along [said] this invention.

[0012]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0013] Namely, the manufacture approach of the semiconductor device of this invention The process which is the manufacture approach of a semiconductor device of having prepared the component from which supply voltage differs in the semi-conductor substrate, and forms gate dielectric film on the (a) aforementioned semi-conductor substrate, (b) The process which forms a gate electrode on said gate dielectric film, and

the process which introduces the 1st impurity for forming the 1st semiconductor region of low high impurity concentration relatively [substrate / (c) aforementioned semi-conductor], (d) It has the process which introduces the 2nd impurity for forming the 2nd semiconductor region of high high impurity concentration relatively [substrate / said / semi-conductor]. Have the process which introduces the matter which controls the enhanced diffusion of an impurity into the formation field of the 1st component which uses low supply voltage relatively before the aforementioned (c) process, and it sets at the aforementioned (c) process. Said 1st impurity is introduced into said both formation fields of the formation field of the 1st component using low supply voltage relatively, and the 2nd component using high supply voltage relatively.

[0014]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing. In addition, what has the same function in the complete diagram for explaining the gestalt of operation attaches the same sign, and explanation of the repeat is omitted. Moreover, in the gestalt of this operation, MISFET (Metal Insulator Semiconductor Field Effect Transistor) of a p channel mold is abbreviated to pMIS, and MISFET of an

n channel mold is abbreviated to nMIS.

[0015] In the gestalt of this operation, drawing 1 - drawing 14 R> 4 explain the case where the technical thought of this invention is applied to the manufacture approach of a semiconductor device of having for example, a CMIS (Complementary MIS) circuit. In addition, in drawing 1 - drawing 14, Sign L shows the field (the formation field of the 1st component: only henceforth a low supply voltage side) of the component relatively driven with low supply voltage (for example, about 1.8V), and Sign H shows the field (the formation field of the 2nd component: only henceforth a high supply voltage side) of the component relatively driven with high supply voltage (for example, about 3.3V). Moreover, Sign N shows a nMIS formation field and Sign P shows the pMIS formation field.

[0016] Drawing 1 shows the important section sectional view of the semi-conductor substrate 1 in that production process (sheet metal of the semi-conductor of an approximate circle configuration called a semi-conductor wafer in this phase). The semi-conductor substrate 1 consists of a silicon single crystal of p mold, and the separation section 2 of a ditch type is formed in the principal plane. the insulator layer for separation which consists for example, of silicon oxide film on the principal plane of the semi-conductor substrate 1 including that separation slot after this separation

section 2 trenches [separation.] in the thickness direction of the semi-conductor substrate 1 -- a CVD method -- covering -- further -- the insulator layer for separation of fields other than after that and above-mentioned separation Mizouchi -- CMP (Chemical Mechanical Polishing) -- it is formed by what (it deletes) is ground by law etc.

[0017] Moreover, n wells 3a and 3b and p wells 4a and 4b are formed in the semi-conductor substrate 1. Lynn is introduced into n wells 3a and 3b. In order to adjust the threshold electrical potential difference of pMIS, impurities, such as an arsenic or antimony, are also introduced into the upper part (principal plane of the semi-conductor substrate 1) of these n wells 3a and 3b. Moreover, boron is introduced into p wells 4a and 4b. In order to adjust the threshold electrical potential difference of nMIS, impurities, such as 2 boron fluoride or an indium, are also introduced into the upper part (principal plane of the semi-conductor substrate 1) of these p wells 4a and 4b. On the principal plane (principal plane of the semi-conductor substrate 1) of the active region surrounded in the separation section 2 in this semi-conductor substrate 1, the insulator layer 5 which consists of silicon oxide film is formed.

[0018] First, it introduces only into the semi-conductor [in / through an insulator layer 5 / for nitrogen after forming

photoresist film to which field L of component driven with low supply voltage relatively / that the field H of the component relatively driven with high supply voltage as shown on the principal plane of the above-mentioned semi-conductor substrate 1 at drawing 2 R> 2 is covered / is exposed 6a / the component field L of low-battery actuation] substrate 1 with ion-implantation etc. This nitrogen is an example of the matter which controls the enhanced diffusion of the impurity in the semiconductor region of the low high impurity concentration in nMIS and pMIS which operate with the low supply voltage mentioned later. It is more desirable not to introduce into a location not much deep [that this nitrogen should just be introduced into the semi-conductor substrate 1 (what is necessary is just in the condition that nitrogen intervenes between the crystal lattices of silicon)] in order to attain the above-mentioned object. Although not limited especially, in the gestalt of this operation, the placing depth of nitrogen is carried out to from the principal plane of the semi-conductor substrate 1 to the depth location of about 0.1 micrometers. Moreover, the ion implantation energy of nitrogen is for example, 30keV(s), and a dose is about [1×10^{14} to $1 \times 10^{15} \text{cm}^{-2}$] two. Moreover, in the gestalt of this operation, since nitrogen is not directly driven into the semi-conductor substrate 1 but it is

devoted to the semi-conductor substrate 1 through an insulator layer 5, breakage on the semi-conductor substrate 1 resulting from installation of nitrogen can be controlled. It is assumed to be the following reason that enhanced diffusion will be controlled if nitrogen is introduced. That is, if nitrogen exists, or recovery of the point defect produced in the ion implantation will become early, it is because the point defect itself cannot be made easily or diffusion of the above-mentioned impurity is controlled because nitrogen goes into a point defect. [0019] Then, by removing the insulator layer 5 in the field L of the component driven with low supply voltage by using photoresist film 6a as an etching mask, as shown in drawing 3, the principal plane of the semi-conductor substrate 1 in the field L of a component is exposed. In addition, the insulator layer 5 is left behind to the field H of the component driven with high supply voltage. [0020] Then, after removing photoresist film 6a, as shown in drawing 4, the gate dielectric film 7a and 7b with which thickness differs is formed on the principal plane of the semi-conductor substrate 1 (on an active -region) by performing gate oxidation treatment to the semi-conductor substrate 1. That is, thick gate-dielectric-film 7b is relatively formed in the field H of the component which forms thin gate-dielectric-film 7a in the field L of the component driven

with low supply voltage relatively, and is driven with high supply voltage. Although not limited especially, the thickness of about 3.5nm and gate-dielectric-film 7b of the thicker one of the thickness of gate-dielectric-film 7a of the thinner one is about 8.0nm.

[0021] Nitrogen may be deposited in the interface of the semi-conductor substrate 1 and gate dielectric film 7a and 7b by heat-treating in a nitrogen oxide (NO, N₂O, etc.) gas ambient atmosphere as opposed to the semi-conductor substrate 1 after the formation process of such gate dielectric film 7a and 7b (acid nitriding treatment). Thereby, a hot carrier phenomenon etc. can be controlled and it becomes possible to control degradation of the electrical characteristics of MSFET. In addition, on the occasion of acid nitriding treatment, nitrogen oxide gas was used because big fluctuation would not arise in the thickness of gate dielectric film 7a and 7b even if it performs acid nitriding treatment if this is used.

[0022] Subsequently, as shown in drawing 5, after depositing the low resistance polish recon film 8 with a CVD method etc. on the principal plane of the semi-conductor substrate 1, photoresist film 6b for gate electrode formation is formed on it. In addition, width of face is widely formed rather than photoresist film 6b by which the direction of photoresist film 6b formed in the field H

of the component by the side of high supply voltage was formed in the field L of the component by the side of low supply voltage. Then, by processing the low resistance polish recon film 8 and gate dielectric film 7a and 7b with an etching technique by using photoresist film 6b as an etching mask, as shown in drawing 6, the gate electrode 9 is formed. In addition, width of face is widely formed rather than the gate electrode 9 with which the direction of the gate electrode formed in the field H of the component by the side of high supply voltage was formed in the field L of the component by the side of low supply voltage.

[0023] Next, it shifts to the formation process of the semiconductor region of the low high impurity concentration used as the source drain of MISFET, and the semiconductor region of high high impurity concentration.

[0024] First, as shown in drawing 7, photoresist film 6c to which the pMIS formation field P by the side of low supply voltage and high supply voltage is covered, and the nMIS formation field N by the side of low supply voltage and high supply voltage is exposed is formed. Then, semiconductor region 10a of the low high impurity concentration before activation is formed in each nMIS formation field by the side of low supply voltage and high supply voltage by introducing the impurity (the 1st impurity) for forming

the semiconductor region of the low high impurity concentration of nMIS in the semiconductor substrate 1 with ion-implantation etc. by using this photoresist film 6c as a mask. Semiconductor region 10a of this low high impurity concentration has the function which mainly constitutes the source drain of nMIS and controls the hot carrier phenomenon of nMIS. Lynn or an arsenic is used for this impurity. Under the present circumstances, in the case of Lynn, ion implantation energy is for example, 10keV extent, and a dose is about $[5 \times 10^{13} \text{cm}^{-2}]$ two. Then, photoresist film 6c is removed and washing processing is performed. Thus, in the gestalt of this operation, since the same photoresist film 6c is formed for semiconductor region 10a of the low high impurity concentration in nMIS of both by the side of low supply voltage and high supply voltage as a mask, compared with the case where the photoresist film is formed independently, the formation process of the photoresist film can be reduced by 1 time by the low supply voltage and high supply voltage side. That is, a series of photolithography processes, such as spreading of the photoresist film, exposure, development, inspection, and BEKU, and clearance p and the washing process of the photoresist film can be reduced by 1 time. Therefore, the production process of a semiconductor device can be reduced

substantially. Moreover, the cost of a semiconductor device can be reduced.

[0025] Subsequently, as shown in drawing 8, the nMIS formation field N by the side of low supply voltage and high supply voltage is covered. And this is made into a mask after forming 6d of photoresist film with which the pMIS formation field P by the side of low supply voltage and high supply voltage is exposed. By introducing the impurity (the 1st impurity) for forming the semiconductor region of the low high impurity concentration of pMIS into the semiconductor substrate 1 with ion-implantation etc. Semiconductor region 11a of the low high impurity concentration before activation is formed in each pMIS formation field by the side of low supply voltage and high supply voltage. Semiconductor region 11a of this low high impurity concentration has the function which mainly constitutes the source drain of pMIS and controls the hot carrier phenomenon of pMIS. Boron or 2 boron fluoride is used for this impurity. Under the present circumstances, the ion implantation energy in the case of 2 boron fluoride is for example, 10keV extent, and a dose is about $[5 \times 10^{13} \text{cm}^{-2}]$ two. Then, 6d of photoresist film is removed and washing processing is performed. Thus, in the gestalt of this operation, since the 6d of the same photoresist film is formed for semiconductor region 11a of the low high

impurity concentration in pMIS of both by the side of low supply voltage and high supply voltage as a mask, compared with the case where the photoresist film is formed independently, the formation process of the photoresist film can be reduced by 1 time by the low supply voltage and high supply voltage side. For this reason, in the gestalt of this operation, if it takes into consideration also in Above nMIS, a photolithography process and clearance / washing process of the photoresist film can be reduced by 2 time. That is, it can decrease in the one half of the formation process of the technique which this invention person examined concerned. Therefore, on the whole, the production process of a semiconductor device can be reduced substantially. Moreover, the cost of a semiconductor device can be reduced. In addition, reverse is sufficient as the formation process of semiconductor region 10a of low high impurity concentration, and the formation process of semiconductor region 11a of low high impurity concentration.

[0026] Then, as shown in drawing 9, the insulator layer 12 for side-attachment-wall insulator layer formation which consists of silicon oxide film is formed with a CVD method etc. on the principal plane of the semi-conductor substrate 1. Under the present circumstances, in a low supply voltage side, since the enhanced diffusion of the

impurity (impurity in the semiconductor region of low high impurity concentration) by heat treatment at the time of membrane formation of an insulator layer 12 is controlled by introducing nitrogen, it becomes possible to make steep the high-impurity-concentration profile of the semiconductor regions 10a and 11a of the low high impurity concentration of nMIS by the side of low supply voltage, and pMIS. On the other hand, in a high supply voltage side, since nitrogen is not introduced, the enhanced diffusion of the impurity (impurity in the semiconductor region of low high impurity concentration) by heat treatment at the time of membrane formation of an insulator layer 12 enables it to make loose the high-impurity-concentration profile of the semiconductor regions 10a and 11a of the low high impurity concentration of nMIS by the side of high supply voltage, and pMIS. Therefore, the hot carrier resistance by the side of high supply voltage can be raised. Thus, in the gestalt of this operation, although the separate photoresist film is formed and it drops off by the low supply voltage and high supply voltage side, it becomes possible to make and divide the high-impurity-concentration profile in the semiconductor region of that each high impurity concentration of low by the low supply voltage and high supply voltage side.

[0027] Then, an insulator layer 12 is formed for the semiconductor regions 10b and 11b of the high high impurity concentration which constitutes the source drain of nMISQn and pMISQp with ion-implantation by using the respectively separate photoresist film as a mask, after forming side-attachment-wall insulator layer 12a in the side face of the gate electrode 9 by carrying out etchback by the dry etching method of an anisotropy, as shown in drawing 10.

[0028] Semiconductor region 10b of high high impurity concentration is formed so that it may come to introduce Lynn or an arsenic and the high impurity concentration may become high relatively rather than the high impurity concentration of semiconductor region 10a of the above-mentioned low high impurity concentration. Semiconductor region 10b of this high high impurity concentration is electrically connected with that semiconductor region 10a in the condition of having been formed in the flat-surface location distant from the channel of nMISQn by the flat-surface dimension of semiconductor region 10a of the above-mentioned low high impurity concentration.

[0029] On the other hand, semiconductor region 11b of high high impurity concentration is formed so that it may come to introduce boron or 2 boron fluoride and the high impurity

concentration may become high relatively rather than the high impurity concentration of semiconductor region 11a of the above-mentioned low high impurity concentration. Semiconductor region 11b of this high high impurity concentration is electrically connected with that semiconductor region 11a in the condition of having been formed in the flat-surface location distant from the channel of pMISQp by the flat-surface dimension of semiconductor region 11a of the above-mentioned low high impurity concentration.

[0030] subsequently, the semi-conductor substrate 1 top -- for example, conductors, such as titanium, -- heat-treating to the semi-conductor substrate 1, after depositing the film -- the conductor -- silicide film, such as for example, titanium silicide, is formed in the contact section with the top face of the film, the semi-conductor substrate 1, and the gate electrode 9. Then, by removing the titanium film which was not silicide-ized, as shown in drawing 11, the silicide film 13 is formed in the top face (top face of the semi-conductor substrate 1) of the semiconductor regions 10b and 11b for the source drains of nMISQn and pMISQp, and the top face of the gate electrode 9 (Salicide processing). It becomes possible to reduce parasitism resistance with the below-mentioned wiring by this silicide layer 13. Then, as shown in drawing 12, the insulator layer

14 which consists of a silicon nitride film is formed with a CVD method etc. on the semi-conductor substrate 1. Then, after depositing the insulator layer 15 which consists of silicon oxide film with a CVD method etc. on the insulator layer 14, flattening of the top face is carried out by grinding by the CMP method etc.

[0031] Subsequently, as shown in drawing 13, a photolithography technique and a dry etching technique punch the connection hole 16 with which a part of top face of the silicide film 13 on semiconductor region 10b, 11b, and the gate electrode 9 is exposed to insulator layers 14 and 15. The following selective etching processings are performed in this dry etching technique. Namely, a connection hole is punched by using an insulator layer 14 as an etching stopper at first at an insulator layer 15 by performing etching processing on the conditions which the etching clearance of the direction of the silicon oxide film is easy to be carried out rather than a silicon nitride film. Then, the insulator layer 14 exposed from the connection hole with which the direction of a silicon nitride film was punched at the insulator layer 15 by changing into the conditions which etching clearance is easy to be carried out rather than the silicon oxide film or the silicide film is removed, and the silicide film 13 is exposed. If it sets when etching processing is carried out without giving etch selectivity, and the

formation location of that connection hole 16 shifts superficially and separation section 2 top face is exposed from that connection hole in case this connection hole 16 is punched for example, etching clearance also of the separation section 2 part to expose will be carried out from that connection hole 16, and it will be generated in component property degradation or a defect. Then, in the formation process of the connection hole 16, the above dysmorphism objects can be prevented by performing two steps of etching processings in which etch selectivity was given as mentioned above. [0032] Then, by grinding this by the CMP method etc. so that it may be left behind only in the connection hole 16, after depositing metal membranes, such as a tungsten, with a CVD method etc. on the semi-conductor substrate 1, as shown in drawing 14, a plug 17 is formed in the connection hole 16. then, the conductor which consists of a cascade screen which comes to carry out the laminating of the aluminum on aluminum, an aluminium alloy, or the titanium nitride film on an insulator layer 15 and a plug 17 -- the conductor after depositing the film by the sputtering method etc. -- the 1st-layer wiring 18 is formed by carrying out patterning of the film with a photolithography technique and a dry etching technique. This 1st-layer wiring 18 is electrically connected with semiconductor regions 10a, 10b, 11a, and

11b through the plug 17.

[0033] Thus, according to the gestalt of this operation, the following effectiveness is acquired.

[0034] (1) It becomes possible to reduce the production process of the semiconductor device which has MISFET driven with MISFET and high supply voltage which have .CMIS circuit and are driven with low supply voltage.

[0035] (2) It becomes possible to reduce the cost of the semiconductor device which has MISFET driven with MISFET and high supply voltage which have .CMIS circuit and are driven with low supply voltage.

[0036] (3) It sets to the semiconductor device which has MISFET driven with MISFET and high supply voltage which have .CMIS circuit and are driven with low supply voltage, and is the above (1). It becomes possible to make steep the high-impurity-concentration profile of the semiconductor regions 10a and 11a of nMISQn by the side of low supply voltage, and the low high impurity concentration of pMISQp, and to make gently-sloping the high-impurity-concentration profile of the semiconductor regions 10a and 11a of nMISQn by the side of high supply voltage, and the low high impurity concentration of pMISQp, filling.

[0037] (4) . above (3) It becomes possible to raise the hot carrier resistance in nMISQn and pMISQp by the side of low supply voltage and high supply voltage.

Therefore, it becomes possible to raise the dependability of the semiconductor device which has MISFET driven with MISFET and high supply voltage which have a CMIS circuit and are driven with low supply voltage.

[0038] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of operation, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0039] For example, it is not limited to the gestalt of said operation that what is necessary is just to perform the introductory process of the matter which controls the enhanced diffusion of an impurity before the process which forms the semiconductor region of low high impurity concentration. For example, the above-mentioned matter may be introduced before the formation process of the semiconductor region of low high impurity concentration after the formation process of a gate electrode.

[0040] Moreover, in the gestalt of said operation, although the case where the separation section was used as a ditch type was explained, it is not limited to this and the separation section can also be formed by the field insulator layer formed by the selective oxidation method (LOCOS:Local Oxidization of Silicon).

[0041] Moreover, the so-called SOI (Silicon On Insulator) wafer which comes to prepare the semi-conductor layer for component formation on the so-called epitaxial wafer which comes to form an epitaxial layer in the front face of the semi-conductor substrate of for example, a semi-conductor simple substance, or an insulating layer as a semi-conductor substrate can also be used.

[0042] Moreover, with a source drain, it can also consider as the structure of preparing the semiconductor region for punch-through stoppers which consists of semiconductor regions of a reverse conductivity type in the channel side edge section of the semiconductor region which forms the source drain of MISFET, or its near.

[0043] Although the above explanation explained the case where it applied to the semiconductor device which has the CMIS circuit which is the field of the invention which became the background about invention mainly made by this invention person The semiconductor device which has only not the thing limited to it but nMIS, or pMIS, DRAM (Dynamic Random Access Memory), The semiconductor device which has memory circuits, such as SRAM (Static Random Access Memory) or a flash memory (EEPROM: Electric Erasable Programmable Read Only Memory), It is possible to apply to the semiconductor device which established the

semiconductor device which has logical circuits, such as a microprocessor, or these memory circuits, and a logical circuit in the same semi-conductor substrate.

[0044]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated by this application is explained briefly.

[0045] (1) It becomes possible to reduce the production process of the semiconductor device which has prepared the component from which . supply voltage differs.

[0046] (2) It becomes possible to reduce the cost of the semiconductor device which has prepared the component from which . supply voltage differs.

[0047] (3) It sets to the semiconductor device which has prepared the component from which . supply voltage differs, and is the above (1). It becomes possible to make steep the high-impurity-concentration profile of the semiconductor region of the low high impurity concentration in the field-effect transistor by the side of low supply voltage, and to make gently-sloping the high-impurity-concentration profile of the semiconductor region of the low high impurity concentration in the field-effect transistor by the side of high supply voltage, filling.

[0048] (4) . above (3) It becomes possible

to raise the hot carrier resistance in the field-effect transistor by the side of low supply voltage and high supply voltage. therefore, it becomes possible to raise the dependability of the semiconductor device with which supply voltage differs and which came out and has prepared the component.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is an important section sectional view in the production process of the semiconductor device which is the gestalt of 1 operation of this invention.

[Drawing 2] It is an important section sectional view in the production process of the semiconductor device following drawing 1.

[Drawing 3] It is an important section sectional view in the production process of the semiconductor device following drawing 2.

[Drawing 4] It is an important section sectional view in the production process of the semiconductor device following drawing 3.

[Drawing 5] It is an important section sectional view in the production process of the semiconductor device following drawing 4.

[Drawing 6] It is an important section

sectional view in the production process of the semiconductor device following drawing 5.

[Drawing 7] It is an important section sectional view in the production process of the semiconductor device following drawing 6.

[Drawing 8] It is an important section sectional view in the production process of the semiconductor device following drawing 7.

[Drawing 9] It is an important section sectional view in the production process of the semiconductor device following drawing 8.

[Drawing 10] It is an important section sectional view in the production process of the semiconductor device following drawing 9.

[Drawing 11] It is an important section sectional view in the production process of the semiconductor device following drawing 10.

[Drawing 12] It is an important section sectional view in the production process of the semiconductor device following drawing 11.

[Drawing 13] It is an important section sectional view in the production process of the semiconductor device following drawing 12.

[Drawing 14] It is an important section sectional view in the production process of the semiconductor device following drawing 13.

[Description of Notations]

- 1 Semi-conductor Substrate
 - 2 Separation Section
 - 3a, 3b n wells
 - 4a, 4b p wells
 - 5 Insulator Layer
 - 6a-6d Photoresist film
 - 7a, 7b Gate dielectric film
 - 8 Low Resistance Polish Recon Film
 - 9 Gate Electrode
 - 10a The semiconductor region of low high impurity concentration
 - 10b The semiconductor region of high high impurity concentration
 - 11a The semiconductor region of low high impurity concentration
 - 11b The semiconductor region of high high impurity concentration
 - 12 Insulator Layer
 - 12a Side-attachment-wall insulator layer
 - 13 Silicide Film
 - 14 Insulator Layer
 - 15 Insulator Layer
 - 16 Connection Hole
 - 17 Plug
 - 18 1st-Layer Wiring
 - L The field of a component (formation field of the 1st component)
 - H The field of a component (formation field of the 2nd component)
 - P pMIS formation field
 - N nMIS formation field
 - Qp pMIS
 - Qn nMIS
-

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-353753
(P2000-353753A)

(43) 公開日 平成12年12月19日 (2000. 12. 19)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L	21/8234	H 0 1 L 27/08	1 0 2 B 5 F 0 4 0
	27/088		1 0 2 C 5 F 0 4 8
	21/8238		3 2 1 N
	27/092	29/78	3 0 1 S
	29/78		

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願平11-166710

(22) 出願日 平成11年6月14日 (1999. 6. 14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 一瀬 勝彦

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

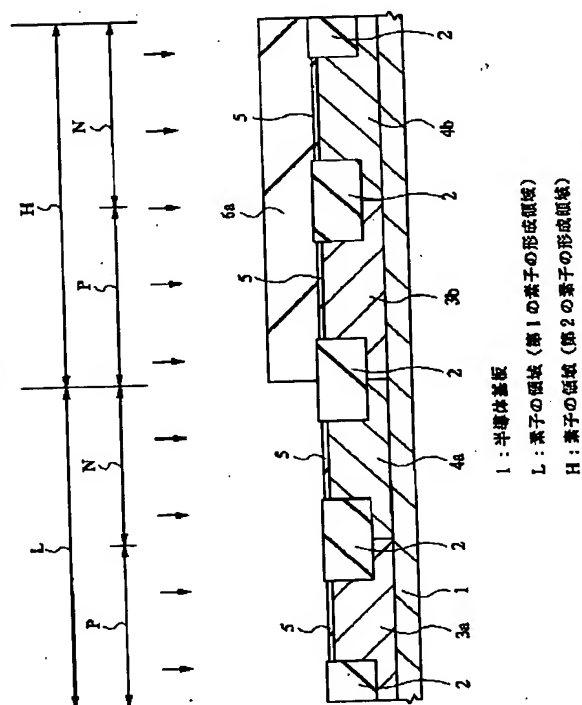
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 電源電圧の異なる素子を半導体基板に設けている半導体装置の製造工程数を低減する。

【解決手段】 半導体基板1に不純物の増速拡散を抑制するための窒素を導入した後、低電源電圧で駆動する素子の領域Lおよび高電源電圧で駆動する素子の領域Hの両方に、MISFETの低不純物濃度の半導体領域を形成するための不純物を導入する。

図 2



(2)

1

【特許請求の範囲】

【請求項1】 電源電圧の異なる素子を半導体基板に設けている半導体装置の製造方法であって、(a) 前記半導体基板上にゲート絶縁膜を形成する工程と、(b) 前記ゲート絶縁膜上にゲート電極を形成する工程と、

(c) 前記半導体基板に相対的に低い不純物濃度の第1の半導体領域を形成するための第1の不純物を導入する工程と、(d) 前記半導体基板に相対的に高い不純物濃度の第2の半導体領域を形成するための第2の不純物を導入する工程とを有し、

前記(c)工程の前に、相対的に低い電源電圧を用いる第1の素子の形成領域に不純物の増速拡散を抑制する物質を導入する工程を有し、

前記(c)工程においては、前記相対的に低い電源電圧を用いる第1の素子の形成領域および相対的に高い電源電圧を用いる第2の素子の形成領域の両方に前記第1の不純物を導入することを特徴とする半導体装置の製造方法。

【請求項2】 電源電圧の異なる素子を半導体基板に設けている半導体装置の製造方法であって、(a) 前記半導体基板上にゲート絶縁膜を形成する工程と、(b) 前記ゲート絶縁膜上にゲート電極を形成する工程と、

(c) 前記半導体基板に相対的に低い不純物濃度の第1の半導体領域を形成するための第1の不純物を導入する工程と、(d) 前記半導体基板に相対的に高い不純物濃度の第2の半導体領域を形成するための第2の不純物を導入する工程とを有し、

前記(c)工程の前に、相対的に低い電源電圧を用いる第1の素子の形成領域に窒素を導入する工程を有し、

前記(c)工程においては、前記相対的に低い電源電圧を用いる第1の素子の形成領域および相対的に高い電源電圧を用いる第2の素子の形成領域の両方に前記第1の不純物を導入することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2記載の半導体装置の製造方法において、前記ゲート絶縁膜を形成した後、そのゲート絶縁膜に対して酸窒化処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項4】 電源電圧の異なる素子を半導体基板に設けている半導体装置の製造方法であって、(a) 前記半導体基板上に第1のゲート絶縁膜を形成する工程と、

(b) 前記(a)工程後、前記第1のゲート絶縁膜上に、相対的に低い電源電圧を用いる第1の素子の形成領域が露出され、かつ、相対的に高い電源電圧を用いる第2の素子の形成領域が覆われるように第1の膜を形成する工程と、(c) 前記第1の膜をマスクとして、前記相対的に低い電源電圧を用いる第1の素子の形成領域に不純物の増速拡散を抑制する物質を導入する工程と、

(d) 前記(c)工程後、前記第1の膜をマスクとして前記第1のゲート絶縁膜を除去する工程と、(e) 前記

2

(d)工程後において、前記第1の膜を除去した後、前記相対的に低い電源電圧を用いる第1の素子の形成領域における半導体基板上に前記第1のゲート絶縁膜よりも薄い第2のゲート絶縁膜を形成する工程と、(f) 前記第1および第2のゲート絶縁膜上にゲート電極を形成する工程と、(g) 前記半導体基板に相対的に低い不純物濃度の第1の半導体領域を形成するための第1の不純物を導入する工程と、(h) 前記半導体基板に相対的に高い不純物濃度の第2の半導体領域を形成するための第2の不純物を導入する工程とを有し、

前記(g)工程においては、前記相対的に低い電源電圧を用いる第1の素子の形成領域および相対的に高い電源電圧を用いる第2の素子の形成領域の両方に前記第1の不純物を導入することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、前記第1、第2のゲート絶縁膜を形成した後、その第1、第2のゲート絶縁膜に対して酸窒化処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1～5のいずれか1項に記載の半導体装置の製造方法において、前記相対的に低い電源電圧を用いる第1の素子が第1のnチャネル型の電界効果トランジスタおよび第1のpチャネル型の電界効果トランジスタであり、前記相対的に高い電源電圧を用いる第2の素子が第2のnチャネル型の電界効果トランジスタおよび第2のpチャネル型の電界効果トランジスタであり、

前記相対的に低い不純物濃度の第1の半導体領域を形成するための第1の不純物導入工程においては、(a) 前記半導体基板上に電源電圧の異なる第1、第2のnチャネル型の電界効果トランジスタの形成領域が露出され、かつ、電源電圧の異なる第1、第2のpチャネル型の電界効果トランジスタの形成領域が覆われる第2の膜を形成した後、前記電源電圧の異なる第1、第2のnチャネル型の電界効果トランジスタにおける相対的に低い不純物濃度のn型半導体領域を形成するための不純物導入工程と、(b) 前記半導体基板上に電源電圧の異なる第1、第2のpチャネル型の電界効果トランジスタの形成領域が露出され、かつ、電源電圧の異なる第1、第2のnチャネル型の電界効果トランジスタの形成領域が覆われる第3の膜を形成した後、前記電源電圧の異なる第1、第2のpチャネル型の電界効果トランジスタにおける相対的に低い不純物濃度のp型半導体領域を形成するための不純物導入工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 請求項1～6のいずれか1項に記載の半導体装置の製造方法において、前記第1の素子のゲート絶縁膜の厚さが、前記第2の素子のゲート絶縁膜の厚さよりも薄いことを特徴とする半導体装置の製造方法。

(3)

3

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造技術に関し、特に、異なる電源電圧を用いる半導体装置の製造技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】電界効果トランジスタを微細化し、かつ、電源電圧の低下を図ることにより、半導体装置の高集積化および低消費電力化が進められている。しかし、電源電圧を低下させると、ノイズによる誤動作を起こし易いという問題や半導体装置を組み込むシステムと電源電圧が異なるので半導体装置の置き換え等のようなシステムの自由度を欠くという問題が生じる。そこで、半導体装置において、入出力回路には、ノイズに対するマージンを確保し、また、システムとの共通化のために相対的に高い電源電圧で動作する電界効果トランジスタを用い、内部回路には、高速、高集積および低消費電力を実現するために相対的に低い電源電圧で動作する電界効果トランジスタを用いている。

【0003】一方、電界効果トランジスタの微細化や高電流駆動力化に伴って、ホットキャリア効果に起因する素子特性の劣化が問題となる。ホットキャリア効果とは、素子内部に印加された高電界により発生した高エネルギーを持つ電子や正孔がゲート絶縁膜中に注入、捕縛されたり、衝突電離によってさらにキャリアを発生させたりする結果、素子特性を劣化させる現象である。例えばゲート絶縁膜に注入・捕縛された電子等は、電界効果トランジスタのしきい値電圧や電流利得を経時的に変化させたり、不揮発性メモリ素子のデータ保持特性能力を低下させたりする。また、衝突電離で発生した電子・正孔対は基板電流となってドレインのブレークダウン電圧を低下させたり、CMIS (Complementary MIS) 回路を有する半導体装置においてラッチアップのトリガ電流となり素子を破壊したりする。

【0004】このようなホットキャリア効果の対策としては、電界効果トランジスタのドレイン領域のチャネル側端部に相対的に低く、かつ、なだらかな不純物濃度の分布を持つ低不純物濃度の半導体領域を形成する、いわゆるLDD (Lightly Doped Drain) 構造がある。この構造により、ドレイン領域とチャネル領域との境界部分における電界を緩和させ、ホットキャリア効果を抑制することができる。

【0005】なお、LDD構造については、例えば日刊工業新聞社、昭和62年9月29日発行、「CMOSデバイスハンドブック」p347～p350に記載がある。

【0006】

【発明が解決しようとする課題】ところが、電源電圧の異なる素子を持つ半導体装置の製造プロセスに、上記低不純物濃度の半導体領域を形成するプロセスを採用する

4

場合、以下の課題があることを本発明者は見出した。

【0007】すなわち、上記のような電源電圧の異なる素子を持つ半導体装置において、上記LDD構造を採用する場合、電源電圧が相対的に高い素子における低不純物濃度の半導体領域は、電源電圧が相対的に低い素子のそれに比べて、その不純物分布を緩やかにする必要がある。このため、その半導体装置においては、上記低不純物濃度の半導体領域を形成するための不純物の導入工程を、低電源電圧の素子と高電源電圧の素子とで別々に行わなければならない。例えば低電源電圧および高電源電圧側のそれぞれにnチャネル型の電界効果トランジスタおよびpチャネル型の電界効果トランジスタを持つ半導体装置においては、低不純物濃度の半導体領域を形成するための不純物の導入工程に際して、フォトリソグラフィ工程および不純物導入工程を、nチャネル型の電界効果トランジスタおよびpチャネル型の電界効果トランジスタのそれぞれに2回繰り返すことになるので、合計4工程必要になる。すなわち、フォトレジスト膜の塗布、露光、現像、洗浄、検査およびベーク等のようなフォトリソグラフィ工程を経た後、不純物の導入工程を経て、さらにフォトレジスト膜を除去し、洗浄する等の一連の処理工程を4回繰り返すことになる。したがって、半導体装置の製造工程数が多くなり、製造コストが高くなる、という課題がある。

【0008】本発明の目的は、電源電圧の異なる素子を半導体基板に設けている半導体装置の製造工程数を低減することのできる技術を提供することにある。

【0009】また、本発明の他の目的は、電源電圧の異なる素子を半導体基板に設けている半導体装置の製造コストを低減することのできる技術を提供することにある。

【0010】さらに、本発明の他の目的は、電源電圧の異なる素子を半導体基板に設けている半導体装置の信頼性の向上を推進することのできる技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】すなわち、本発明の半導体装置の製造方法は、電源電圧の異なる素子を半導体基板に設けている半導体装置の製造方法であって、(a) 前記半導体基板上にゲート絶縁膜を形成する工程と、(b) 前記ゲート絶縁膜上にゲート電極を形成する工程と、(c) 前記半導体基板に相対的に低い不純物濃度の第1の半導体領域を形成するための第1の不純物を導入する工程と、(d) 前記半導体基板に相対的に高い不純物濃度の第2の半導

(4)

5

体領域を形成するための第2の不純物を導入する工程とを有し、前記(c)工程の前に、相対的に低い電源電圧を用いる第1の素子の形成領域に不純物の増速拡散を抑制する物質を導入する工程を有し、前記(c)工程においては、前記相対的に低い電源電圧を用いる第1の素子の形成領域および相対的に高い電源電圧を用いる第2の素子の形成領域の両方に前記第1の不純物を導入するものである。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態においては、pチャネル型のMISFET (Metal Insulator Semiconductor Field Effect Transistor) をpMISと略し、nチャネル型のMISFETをnMISと略す。

【0015】本実施の形態においては、本発明の技術思想を、例えばCMIS (Complementary MIS) 回路を有する半導体装置の製造方法に適用した場合を図1～図14によって説明する。なお、図1～図14において、符号Lは相対的に低い電源電圧 (例えば1.8V程度) により駆動する素子の領域 (第1の素子の形成領域: 以下、単に低電源電圧側ともいう) を示し、符号Hは相対的に高い電源電圧 (例えば3.3V程度) により駆動する素子の領域 (第2の素子の形成領域: 以下、単に高電源電圧側ともいう) を示している。また、符号NはnMIS形成領域を示し、符号PはpMIS形成領域を示している。

【0016】図1はその製造工程中における半導体基板 (この段階では半導体ウエハと称する略円形状の半導体の薄板) 1の要部断面図を示している。半導体基板1は、例えばp型のシリコン単結晶からなり、その主面には、例えば溝型の分離部2が形成されている。この分離部2は、半導体基板1の厚さ方向に分離溝を掘った後、その分離溝を含む半導体基板1の主面上に、例えば酸化シリコン膜からなる分離用絶縁膜をCVD法で被着し、さらにその後、上記分離溝内以外の領域の分離用絶縁膜をCMP (Chemical Mechanical Polishing) 法等により研磨する (削る) ことで形成されている。

【0017】また、半導体基板1には、nウエル3a、3bおよびpウエル4a、4bが形成されている。nウエル3a、3bには、例えばリンが導入されている。このnウエル3a、3bの上部 (半導体基板1の主面) には、pMISのしきい値電圧を調整するために、例えばヒ素またはアンチモン等のような不純物も導入されている。また、pウエル4a、4bには、例えばホウ素が導入されている。このpウエル4a、4bの上部 (半導体基板1の主面) には、nMISのしきい値電圧を調整するために、例えば2フッ化ホウ素またはインジウム等の

6

ような不純物も導入されている。この半導体基板1において分離部2で囲まれた活性領域の主面 (半導体基板1の主面) 上には、例えば酸化シリコン膜からなる絶縁膜5が形成されている。

【0018】まず、上述の半導体基板1の主面上に、図2に示すように、相対的に高い電源電圧で駆動する素子の領域Hが被覆され、かつ、相対的に低い電源電圧で駆動する素子の領域Lが露出されるようなフォトレジスト膜6aを形成した後、例えば窒素を絶縁膜5を介して低電圧動作の素子領域Lにおける半導体基板1のみにイオン注入法等によって導入する。この窒素は、後述する低電源電圧で動作するnMISおよびpMISにおける低不純物濃度の半導体領域における不純物の増速拡散を抑制する物質の一例である。この窒素は、半導体基板1に導入されていれば良い (シリコンの結晶格子間に窒素が介在される状態であれば良い) が、上記目的を達成するためにはあまり深い位置に導入しない方が好ましい。特に限定されないが、本実施の形態においては、窒素の打ち込み深さは、例えば半導体基板1の主面から0.1μm程度の深さ位置までとされている。また、窒素のイオン打ち込みエネルギーは、例えば30keV、ドーズ量は、例えば $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度である。また、本実施の形態においては、窒素を半導体基板1に直接打ち込むのではなく、絶縁膜5を介して半導体基板1に打ち込むので、窒素の導入に起因する半導体基板1の損傷を抑制することができる。窒素を導入すると増速拡散が抑制されるのは、例えば次の理由と想定される。すなわち、窒素が存在すると、イオン注入で生じた点欠陥の回復が早くなる、または、点欠陥自体ができにくい、あるいは、点欠陥に窒素が入ることで上記不純物の拡散を抑制するからである。

【0019】続いて、フォトレジスト膜6aをエッチングマスクとして、低電源電圧で駆動する素子の領域Lにおける絶縁膜5を除去することにより、図3に示すように、素子の領域Lにおける半導体基板1の主面を露出させる。なお、高電源電圧で駆動する素子の領域Hには絶縁膜5が残されている。

【0020】その後、フォトレジスト膜6aを除去した後、図4に示すように、半導体基板1に対してゲート酸化処理を施すことにより、半導体基板1の主面上 (活性領域上) に厚さが異なるゲート絶縁膜7a、7bを形成する。すなわち、低電源電圧で駆動する素子の領域Lには、相対的に薄いゲート絶縁膜7aを形成し、かつ、高電源電圧で駆動する素子の領域Hには、相対的に厚いゲート絶縁膜7bを形成する。特に限定されないが、薄い方のゲート絶縁膜7aの厚さは、例えば3.5nm程度、厚い方のゲート絶縁膜7bの厚さは、例えば8.0nm程度である。

【0021】このようなゲート絶縁膜7a、7bの形成工程後に半導体基板1に対して、例えば酸化窒素 (N

(5)

7

O、N₂O等) ガス雰囲気中において熱処理を施すことにより、半導体基板1とゲート絶縁膜7a、7bとの界面に窒素を析出させても良い(酸化窒素処理)。これにより、ホットキャリア現象等を抑制でき、MSI FETの電気的特性の劣化を抑制することが可能となる。なお、酸化窒素処理に際して酸化窒素ガスを用いたのは、これを用いると酸化窒素処理を施してもゲート絶縁膜7a、7bの膜厚に大きな変動が生じないからである。

【0022】次いで、図5に示すように、半導体基板1の主面上に、例えば低抵抗ポリシリコン膜8をCVD法等によって堆積した後、その上にゲート電極形成用のフォトリソグラフ膜6bを形成する。なお、高電源電圧側の素子の領域Hに形成されたフォトリソグラフ膜6bの方が、低電源電圧側の素子の領域Lに形成されたフォトリソグラフ膜6bよりも幅が広く形成されている。続いて、フォトリソグラフ膜6bをエッチングマスクとして、低抵抗ポリシリコン膜8およびゲート絶縁膜7a、7bをエッチング技術によって加工することにより、図6に示すように、ゲート電極9を形成する。なお、高電源電圧側の素子の領域Hに形成されたゲート電極の方が、低電源電圧側の素子の領域Lに形成されたゲート電極9よりも幅が広く形成されている。

【0023】次に、MIS FETのソース・ドレインとなる低不純物濃度の半導体領域および高不純物濃度の半導体領域の形成工程に移行する。

【0024】まず、図7に示すように、低電源電圧側および高電源電圧側のpMIS形成領域Pが覆われ、かつ、低電源電圧側および高電源電圧側のnMIS形成領域Nが露出されるようなフォトリソグラフ膜6cを形成する。続いて、このフォトリソグラフ膜6cをマスクとして、半導体基板1に、nMISの低不純物濃度の半導体領域を形成するための不純物(第1の不純物)をイオン注入法等によって導入することにより、低電源電圧側および高電源電圧側の各々のnMIS形成領域に活性化処理前の低不純物濃度の半導体領域10aを形成する。この低不純物濃度の半導体領域10aは、主としてnMISのソース・ドレインを構成し、かつ、nMISのホットキャリア現象を抑制する機能を有している。この不純物には、例えばリンまたはヒ素が用いられている。この際、リンの場合においてイオン打ち込みエネルギーは、例えば10keV程度、ドーズ量は、例えば $5 \times 10^{13} \text{ cm}^{-2}$ 程度である。その後、フォトリソグラフ膜6cを除去し洗浄処理を施す。このように本実施の形態においては、低電源電圧および高電源電圧側の両方のnMISにおける低不純物濃度の半導体領域10aを、同じフォトリソグラフ膜6cをマスクとして形成するので、低電源電圧側と高電源電圧側とで別々にフォトリソグラフ膜を形成する場合に比べてフォトリソグラフ膜の形成工程を1回分減らすことができる。すなわち、フォトリソグラフ膜の塗布、露光、現像、検査およびベーク等のような一連のフ

8

トリソグラフィ工程およびフォトリソグラフ膜の除去p・洗浄工程を1回分減らせる。したがって、半導体装置の製造工程を大幅に低減できる。また、半導体装置のコストを低減することができる。

【0025】次いで、図8に示すように、低電源電圧側および高電源電圧側のnMIS形成領域Nが覆われ、かつ、低電源電圧側および高電源電圧側のpMIS形成領域Pが露出されるようなフォトリソグラフ膜6dを形成した後、これをマスクとして、半導体基板1に、pMISの低不純物濃度の半導体領域を形成するための不純物

(第1の不純物)をイオン注入法等によって導入することにより、低電源電圧側および高電源電圧側の各々のpMIS形成領域に活性化処理前の低不純物濃度の半導体領域11aを形成する。この低不純物濃度の半導体領域11aは、主としてpMISのソース・ドレインを構成し、かつ、pMISのホットキャリア現象を抑制する機能を有している。この不純物には、例えばホウ素または2フッ化ホウ素が用いられている。この際、2フッ化ホウ素の場合においてのイオン打ち込みエネルギーは、例えば10keV程度、ドーズ量は、例えば $5 \times 10^{13} \text{ cm}^{-2}$ 程度である。その後、フォトリソグラフ膜6dを除去し洗浄処理を施す。このように本実施の形態においては、低電源電圧および高電源電圧側の両方のpMISにおける低不純物濃度の半導体領域11aを、同じフォトリソグラフ膜6dをマスクとして形成するので、低電源電圧側と高電源電圧側とで別々にフォトリソグラフ膜を形成する場合に比べてフォトリソグラフ膜の形成工程を1回分減らすことができる。このため、本実施の形態においては、上記nMISの場合も考慮すると、フォトリソグラフィ工程およびフォトリソグラフ膜の除去・洗浄工程を2回分減らせる。すなわち、本発明者が検討した技術の当該形成工程の半分に低減できる。したがって、全体的に半導体装置の製造工程を大幅に低減できる。また、半導体装置のコストを低減することができる。なお、低不純物濃度の半導体領域10aの形成工程と、低不純物濃度の半導体領域11aの形成工程とは逆でも良い。

【0026】続いて、図9に示すように、半導体基板1の主面上に、例えば酸化シリコン膜からなる側壁絶縁膜形成用の絶縁膜12をCVD法等によって形成する。この際、低電源電圧側では、窒素が導入されていることにより、絶縁膜12の成膜時の熱処理による不純物(低不純物濃度の半導体領域における不純物)の増速拡散が抑制されるため、低電源電圧側におけるnMISおよびpMISの低不純物濃度の半導体領域10a、11aの不純物濃度プロファイルを急峻にすることが可能となる。一方、高電源電圧側では、窒素が導入されていないので、絶縁膜12の成膜時の熱処理による不純物(低不純物濃度の半導体領域における不純物)の増速拡散により、高電源電圧側におけるnMISおよびpMISの低不純物濃度の半導体領域10a、11aの不純物濃度プ

50

(6)

9

ロファイルを緩やかにすることが可能となる。したがって、高電源電圧側のホットキャリア耐性を向上させることができる。このように、本実施の形態においては、低電源電圧側と高電源電圧側とで別々のフォトレジスト膜を形成しないでも、低電源電圧側と高電源電圧側とでその各々の低不純物濃度の半導体領域における不純物濃度プロファイルを作り分けることが可能となる。

【0027】その後、絶縁膜12を、例えば異方性のドライエッチング法によってエッチバックすることにより、図10に示すように、ゲート電極9の側面に側壁絶縁膜12aを形成した後、nMISQnおよびpMISQpのソース・ドレインを構成する高不純物濃度の半導体領域10b、11bをそれぞれ別々のフォトレジスト膜をマスクとしてイオン注入法によって形成する。

【0028】高不純物濃度の半導体領域10bは、例えばリンまたはヒ素が導入されてなり、その不純物濃度が、上記低不純物濃度の半導体領域10aの不純物濃度よりも相対的に高くなるように形成されている。この高不純物濃度の半導体領域10bは、nMISQnのチャネルから上記低不純物濃度の半導体領域10aの平面寸法分だけ離れた平面位置に形成された状態でその半導体領域10aと電気的に接続されている。

【0029】一方、高不純物濃度の半導体領域11bは、例えばホウ素または2フッ化ホウ素が導入されてなり、その不純物濃度が、上記低不純物濃度の半導体領域11aの不純物濃度よりも相対的に高くなるように形成されている。この高不純物濃度の半導体領域11bは、pMISQpのチャネルから上記低不純物濃度の半導体領域11aの平面寸法分だけ離れた平面位置に形成された状態でその半導体領域11aと電気的に接続されている。

【0030】次いで、半導体基板1上に、例えばチタン等のような導体膜を堆積した後、半導体基板1に対して熱処理を施すことにより、その導体膜と半導体基板1およびゲート電極9の上面との接触部に、例えばチタンシリサイド等のようなシリサイド膜を形成する。続いて、シリサイド化されなかったチタン膜を除去することにより、図11に示すように、nMISQnおよびpMISQpのソース・ドレイン用の半導体領域10b、11bの上面（半導体基板1の上面）およびゲート電極9の上面にシリサイド膜13を形成する（シリサイド処理）。このシリサイド層13により後述の配線との寄生抵抗を低減することが可能となる。続いて、図12に示すように、半導体基板1上に、例えば窒化シリコン膜からなる絶縁膜14をCVD法等によって形成する。その後、その絶縁膜14上に、例えば酸化シリコン膜からなる絶縁膜15をCVD法等によって堆積した後、その上面をCMP法等によって研磨することで平坦化する。

【0031】次いで、図13に示すように、絶縁膜14、15に半導体領域10b、11b上およびゲート電

10

極9上におけるシリサイド膜13の上面の一部が露出されるような接続孔16をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。このドライエッチング技術においては、次のような選択エッチング処理を施す。すなわち、最初は、酸化シリコン膜の方が窒化シリコン膜よりもエッチング除去され易い条件でエッチング処理を施すことにより、絶縁膜14をエッチングストップとして絶縁膜15に接続孔を穿孔する。続いて、窒化シリコン膜の方が酸化シリコン膜やシリサイド膜よりもエッチング除去され易い条件に変更することにより、絶縁膜15に穿孔された接続孔から露出する絶縁膜14を除去し、シリサイド膜13を露出させる。この接続孔16を穿孔する際に、例えばエッチング選択比を持たせないでエッチング処理をした場合において、その接続孔16の形成位置が平面的にずれ、その接続孔から分離部2上面が露出されてしまうと、その接続孔16から露出する分離部2部分もエッチング除去され、素子特性劣化や不良が生じてしまう。そこで、接続孔16の形成工程においては、上述のようにエッチング選択比を持たせた2段階のエッチング処理を施すことにより、上記のような不具合を防止することができる。

【0032】続いて、半導体基板1上に、例えばタングステン等のような金属膜をCVD法等によって堆積した後、これを接続孔16内のみに残されるようにCMP法等によって研磨することにより、図14に示すように、接続孔16内にプラグ17を形成する。その後、絶縁膜15およびプラグ17上に、例えばアルミニウム、アルミニウム合金または窒化チタン膜上にアルミニウムを積層してなる積層膜からなる導体膜をスパッタリング法等によって堆積した後、その導体膜をフォトリソグラフィ技術およびドライエッチング技術によってパターンニングすることにより、第1層配線18を形成する。この第1層配線18はプラグ17を通じて半導体領域10a、10b、11a、11bと電気的に接続されている。

【0033】このように、本実施の形態によれば、以下の効果が得られる。

【0034】(1). CMIS回路を有し、かつ、低電源電圧で駆動するMISFETおよび高電源電圧で駆動するMISFETを有する半導体装置の製造工程を低減することが可能となる。

【0035】(2). CMIS回路を有し、かつ、低電源電圧で駆動するMISFETおよび高電源電圧で駆動するMISFETを有する半導体装置のコストを低減することが可能となる。

【0036】(3). CMIS回路を有し、かつ、低電源電圧で駆動するMISFETおよび高電源電圧で駆動するMISFETを有する半導体装置において、上記(1)を満たしながら、低電源電圧側のnMISQnおよびpMISQpの低不純物濃度の半導体領域10a、11aの不純物濃度プロファイルを急峻にし、かつ、高電源電圧

(7)

11

側の nMISQn および pMISQp の低不純物濃度の半導体領域 10a, 11a の不純物濃度プロファイルをなだらかにすることが可能となる。

【0037】(4). 上記(3)により、低電源電圧側および高電源電圧側の nMISQn および pMISQp におけるホットキャリア耐性を向上させることが可能となる。したがって、CMIS 回路を有し、かつ、低電源電圧で駆動する MISFET および高電源電圧で駆動する MISFET を有する半導体装置の信頼性を向上させることが可能となる。

【0038】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0039】例えば不純物の増速拡散を抑制する物質の導入工程は低不純物濃度の半導体領域を形成する工程の前に行えば良く、前記実施の形態に限定されるものではない。例えばゲート電極の形成工程後、低不純物濃度の半導体領域の形成工程前に上記物質を導入しても良い。

【0040】また、前記実施の形態においては、分離部を溝型とした場合について説明したが、これに限定されるものではなく、例えば選択酸化法 (LOCOS: Local Oxidization of Silicon) で形成されたフィールド絶縁膜により分離部を形成することもできる。

【0041】また、半導体基板として、例えば半導体単体の半導体基板の表面にエピタキシャル層を形成してなる、いわゆるエピタキシャルウエハや絶縁層上に素子形成用の半導体層を設けてなる、いわゆる SOI (Silicon On Insulator) ウエハを用いることもできる。

【0042】また、MISFET のソース・ドレインを形成する半導体領域のチャネル側端部またはその近傍にソース・ドレインとは反対導電型の半導体領域で構成されるパンチスルーストップ用の半導体領域を設ける構造とすることもできる。

【0043】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である CMIS 回路を有する半導体装置に適用した場合について説明したが、それに限定されるものではなく、例えば nMIS または pMIS のみを有する半導体装置、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) またはフラッシュメモリ (EEPROM: Electric Erasable Programmable Read Only Memory) 等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置あるいはこれらメモリ回路と論理回路とを同一半導体基板に設けた半導体装置に適用することが可能である。

【0044】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、

12

以下の通りである。

【0045】(1). 電源電圧の異なる素子を設けている半導体装置の製造工程を低減することが可能となる。

【0046】(2). 電源電圧の異なる素子を設けている半導体装置のコストを低減することが可能となる。

【0047】(3). 電源電圧の異なる素子を設けている半導体装置において、上記(1)を満たしながら、低電源電圧側の電界効果トランジスタにおける低不純物濃度の半導体領域の不純物濃度プロファイルを急峻にし、かつ、高電源電圧側の電界効果トランジスタにおける低不純物濃度の半導体領域の不純物濃度プロファイルをなだらかにすることが可能となる。

【0048】(4). 上記(3)により、低電源電圧側および高電源電圧側の電界効果トランジスタにおけるホットキャリア耐性を向上させることが可能となる。したがって、電源電圧の異なる素子を設けている半導体装置の信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の製造工程中における要部断面図である。

【図2】図1に続く半導体装置の製造工程中における要部断面図である。

【図3】図2に続く半導体装置の製造工程中における要部断面図である。

【図4】図3に続く半導体装置の製造工程中における要部断面図である。

【図5】図4に続く半導体装置の製造工程中における要部断面図である。

【図6】図5に続く半導体装置の製造工程中における要部断面図である。

【図7】図6に続く半導体装置の製造工程中における要部断面図である。

【図8】図7に続く半導体装置の製造工程中における要部断面図である。

【図9】図8に続く半導体装置の製造工程中における要部断面図である。

【図10】図9に続く半導体装置の製造工程中における要部断面図である。

【図11】図10に続く半導体装置の製造工程中における要部断面図である。

【図12】図11に続く半導体装置の製造工程中における要部断面図である。

【図13】図12に続く半導体装置の製造工程中における要部断面図である。

【図14】図13に続く半導体装置の製造工程中における要部断面図である。

【符号の説明】

1 半導体基板

2 分離部

3a, 3b n ウエル

(8)

13

14

4 a、4 b p ウエル

5 絶縁膜

6 a ~ 6 d フォトリソグ膜

7 a、7 b ゲート絶縁膜

8 低抵抗ポリシリコン膜

9 ゲート電極

10 a 低不純物濃度の半導体領域

10 b 高不純物濃度の半導体領域

11 a 低不純物濃度の半導体領域

11 b 高不純物濃度の半導体領域

12 絶縁膜

12 a 側壁絶縁膜

13 シリサイド膜

14 絶縁膜

15 絶縁膜

16 接続孔

17 プラグ

18 第1層配線

L 素子の領域 (第1の素子の形成領域)

H 素子の領域 (第2の素子の形成領域)

P pMIS形成領域

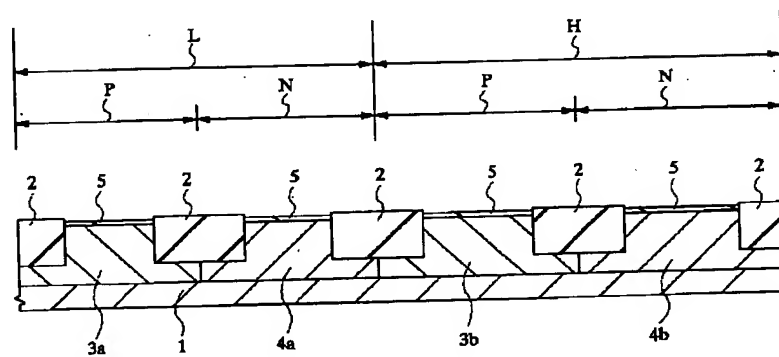
10 N nMIS形成領域

Qp pMIS

Qn nMIS

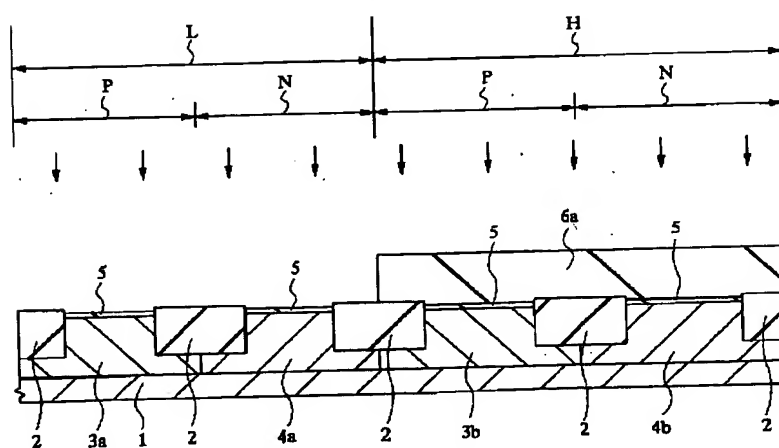
【図1】

図 1



【図2】

図 2



1 : 半導体基板

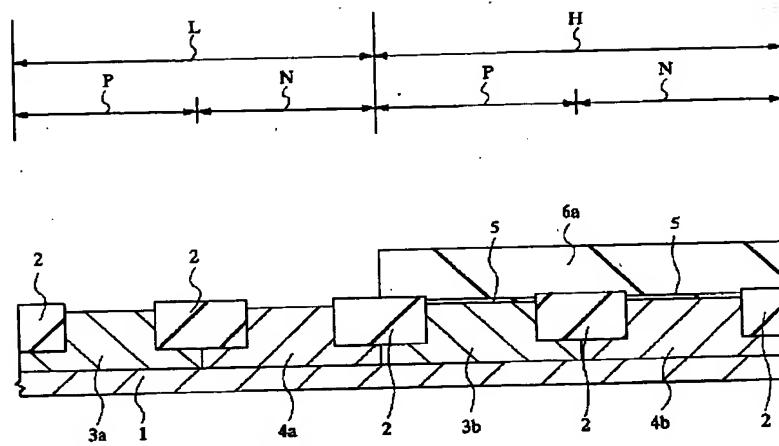
L : 素子の領域 (第1の素子の形成領域)

H : 素子の領域 (第2の素子の形成領域)

(9)

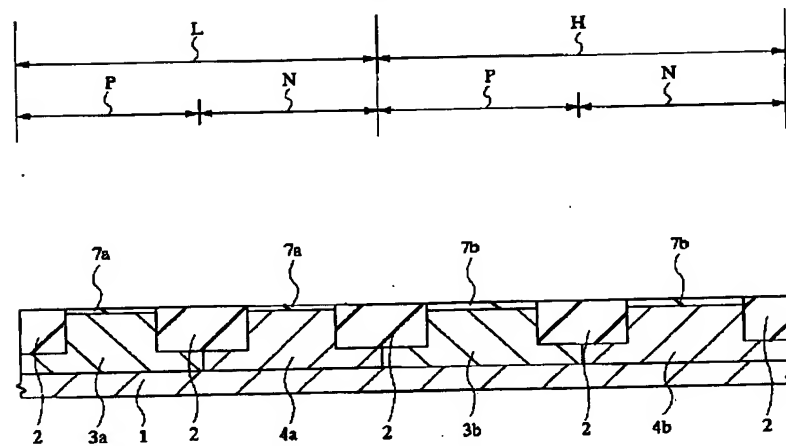
【図3】

図 3



【図4】

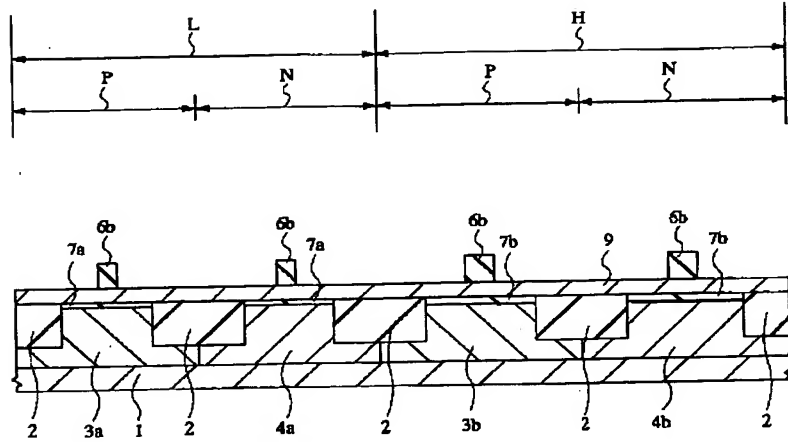
図 4



(10)

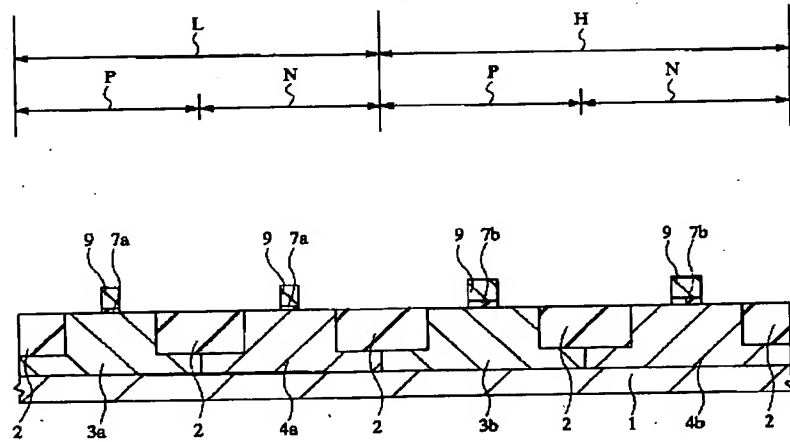
【図5】

図 5



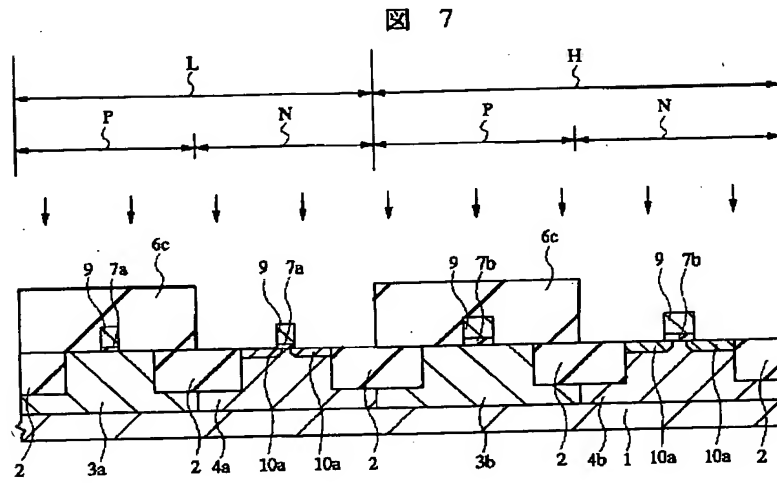
【図6】

図 6

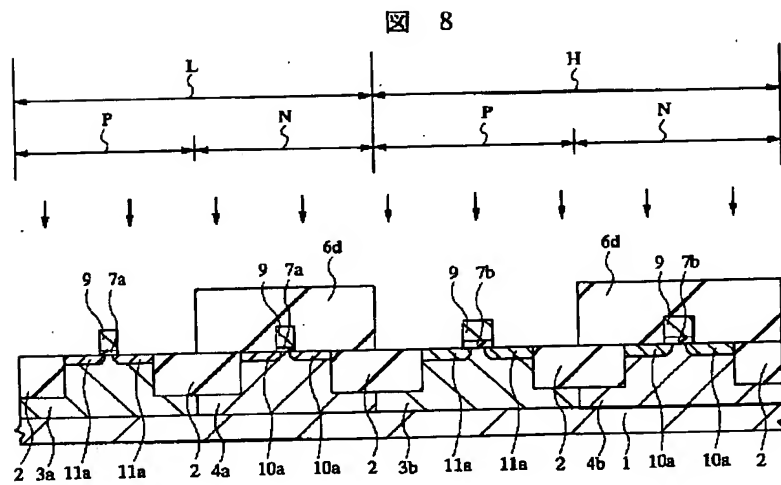


(11)

【図 7】



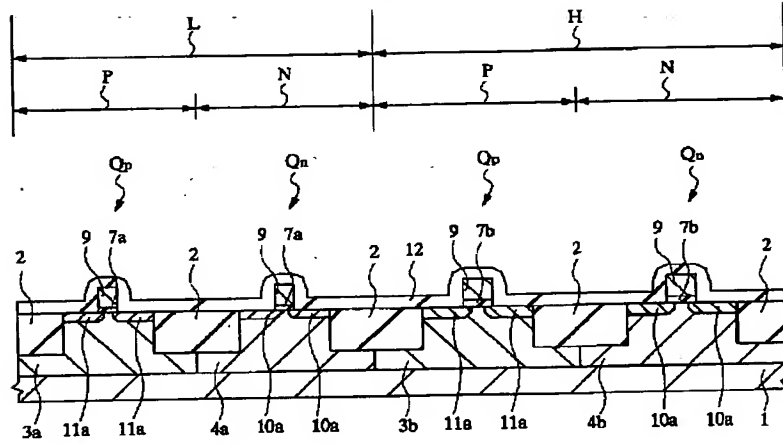
【図 8】



(12)

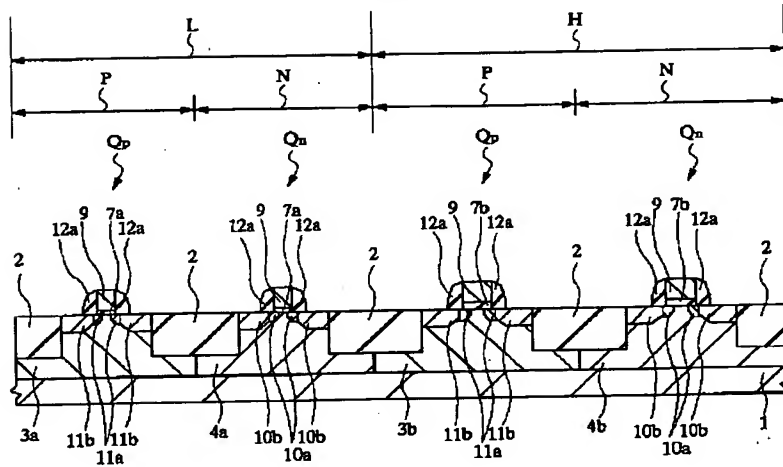
【図9】

図 9



【図10】

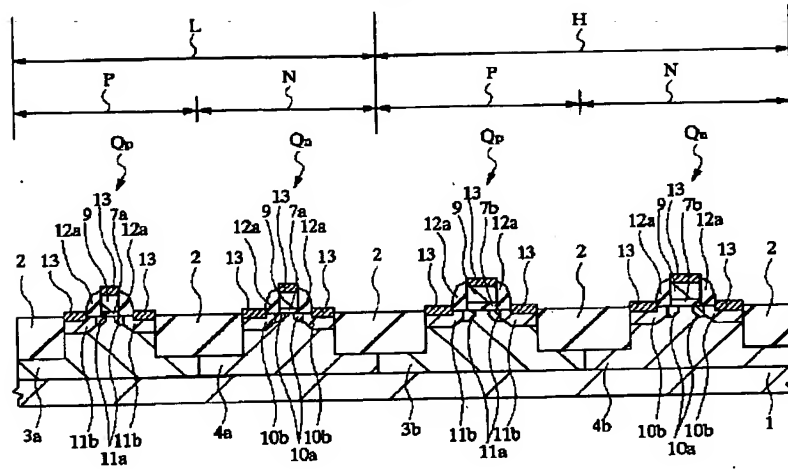
図 10



(13)

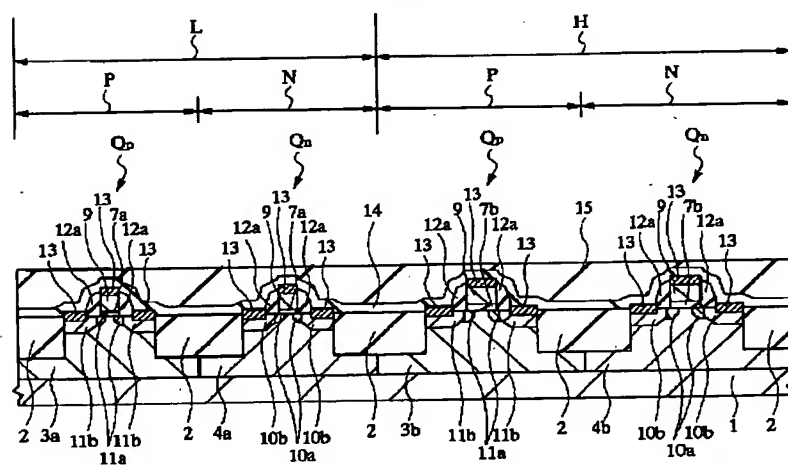
【図11】

図 11



【図12】

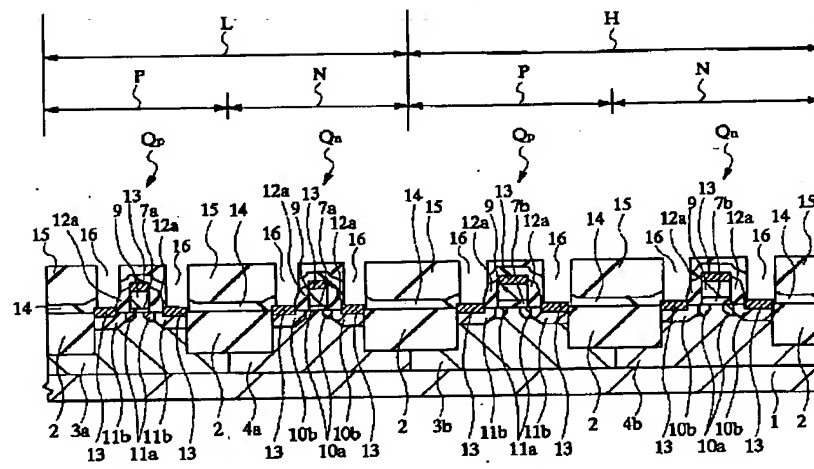
図 12



(14)

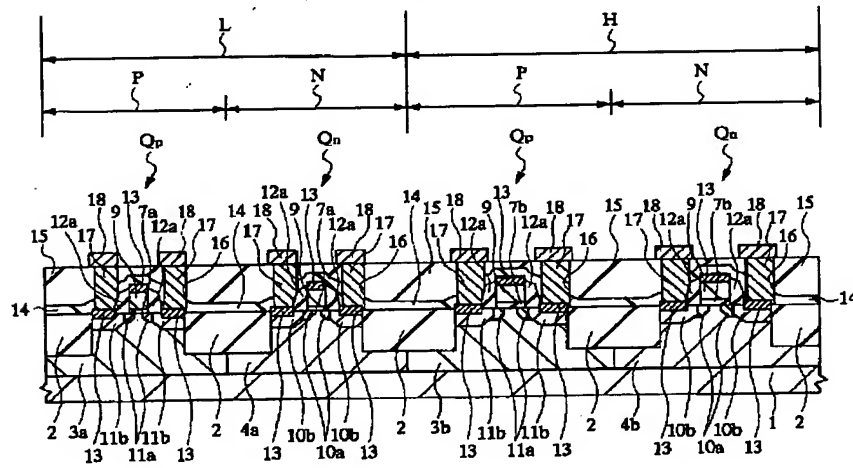
【図13】

図 13



【図14】

図 14



(15)

フロントページの続き

F ターム(参考) 5F040 DA17 DB03 EA08 EA09 EC01
EC07 EC13 ED03 EF02 EH02
EK05 FA05 FB02 FB04 FC11
FC15 FC19 FC21 FC22
5F048 AA03 AA07 AA09 AB01 AB03
AC01 AC03 AC04 BA01 BA16
BB03 BB06 BB07 BB08 BB11
BB16 BC05 BC06 BC19 BC20
BD10 BE03 BE04 BF02 BF06
BF07 BG12 BG14 DA25